



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nl gungsschrift
⑩ DE 100 43 450 A 1

⑤1 Int. Cl.⁷:
H 01 L 21/60
H 01 L 21/58
H 01 L 21/56

②1 Aktenzeichen: 100 43 450.9
②2 Anmeldetag: 4. 9. 2000
④3 Offenlegungstag: 14. 3. 2002

DE 100 43 450 A 1

⑦1 Anmelder:
Orient Semiconductor Electronics Ltd., Kaohsiung,
TW

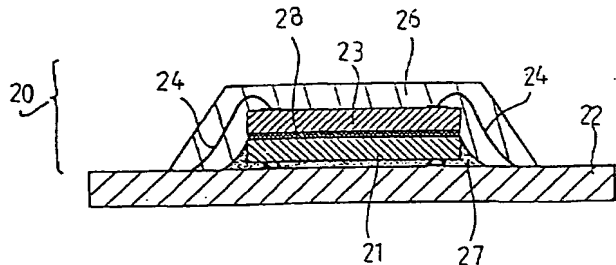
⑦4 Vertreter:
Kador und Kollegen, 80469 München

⑦2 Erfinder:
Le, Xie Wan, Gu Montain, Kaohsiung, TW; Cheng,
Chuang Yung, Shan Ming, Kaohsiung, TW; Ning,
Huang, Ta She, Kaohsiung, TW; Pin, Chen Hui, Feng
Shan, Kaohsiung, TW; Wen, Chiang Hua, Shan
Ming, Kaohsiung, TW; Ming, Chang Chuang, Pu Tai
Chen, Chia I, TW; Chang, Tu Feng, Niao Sung,
Kaohsiung, TW; Yu, Huang Fu, Hsin Hsing,
Kaohsiung, TW; Jui, Chang Hsuan, Chien Cheng,
Kaohsiung, TW; Chieh, Hu Chia, Nan Tsu,
Kaohsiung, TW

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Verbessertes Verfahren zum Montieren von Chips in Flip-Chip-Technik-Prozessen

⑤7 Verfahren zum Montieren von Chips in Flip-Chip-Technik-Prozessen, mit den Schritten des Auftragens einer Unterfüllung (27) auf ein Substrat (22), des Umdrehens einer Primärscheibe (21), so daß die Ansätze (211) der Primärscheibe (21) dem Substrat (22) zugewandt sind, des Platzierens der Primärscheibe (21) auf dem Substrat (22) und des Ausübens von Druck und Wärme, um die Primärscheibe (21) mit dem Substrat (22) zu verbinden, des Auftragens eines Klebstoffes (28) auf eine Oberseite der Primärscheibe (21) und des anschließenden Befestigens einer Sekundärscheibe (23) auf der Primärscheibe (21), des elektrischen Verbindens der Sekundärscheibe (23) mit dem Substrat (11), und des Kapselns der Primärscheibe (21), der Sekundärscheibe (23) und der Golddrähte (24) mit einem Vergußmittel (26), wobei nur eine Bond-Prozedur für die Kapselung der Chips erforderlich ist und die Größe der Kapselung reduziert wird.



DE 100 43 450 A 1

Beschreibung

[0001] Die Erfindung bezieht sich auf ein verbessertes Verfahren zur Montage von Chips in Flip-Chip-Technik-Prozessen.

[0002] Die Halbleiterscheiben sind für verschiedene Anwendungen vorgesehen, wobei seit kurzem die Tendenz besteht, diese in Modulen zu packen, um diese Bedürfnisse zu befriedigen. Bestimmte Scheiben sind so konfiguriert, daß sie für den Betrieb mit anderen kombiniert werden müssen. Wenn jedoch der Abstand zwischen den Verbindungsdrähten zwischen den Stiften der zwei Scheiben einen gewissen Wert übersteigt, wird die Funktion der Scheiben deutlich beeinträchtigt, weshalb vorgeschlagen wird, eine Scheibe auf der anderen zu stapeln, um den Abstand zwischen diesen zu verkürzen. Fig. 1 zeigt ein herkömmliches Verfahren des Stapelns einer Scheibe auf einer anderen. Wie gezeigt ist, wird eine Primärscheibe 11 zuerst auf einem Substrat 12 befestigt, woraufhin Golddrähte 14 zwischen der Primärscheibe 11 und dem Substrat 12 gebondet werden. Anschließend wird eine Sekundärscheibe 13 auf der Oberseite der Primärscheibe 11 befestigt, woraufhin Golddrähte zwischen der Sekundärscheibe 13 und dem Substrat 12 gebondet werden. Schließlich werden die Primärscheibe und die Sekundärscheibe 11 und 13 und die Golddrähte 14 und 15 mit einem Vergußmittel gekapselt.

[0003] Da die Golddrähte 14 zwischen der Primärscheibe 11 und dem Substrat 12 gebondet werden, müssen trotzdem die Golddrähte 15 in einem Abstand von den Golddrähten 14 angeordnet sein, um nicht in den Bereich der Golddrähte 14 zu gelangen, wodurch das Volumen des Gehäuses für die Primärscheibe und die Sekundärscheibe 11 und 13 erhöht wird.

[0004] Außerdem ist es erforderlich, ein leitendes Gel auf der Oberseite der Primärscheibe 11 anzuordnen, bevor die Sekundärscheibe 13 auf der Primärscheibe 11 befestigt wird, um eine gegenseitige Störung der Golddrähte 14 und der Sekundärscheibe 13 zu verhindern, wodurch die Höhe der Kapselung der Primärscheibe und der Sekundärscheibe 11 und 13 erhöht wird, wodurch sie für die Verwendung in dünnen Vorrichtungen ungeeignet wird.

[0005] Es ist daher die Aufgabe der Erfindung, die Nachteile des obenerwähnten Standes der Technik zu beseitigen und ein verbessertes Verfahren zum Montieren von Chips in Flip-Chip-Technik-Prozessen zu schaffen.

[0006] Es ist die Hauptaufgabe der Erfindung, ein verbessertes Verfahren zum Montieren von Chips in Flip-Chip-Technik-Prozessen zu schaffen, das nur eine Bond-Prozedur für die Kapselung der Chips erfordert.

[0007] Es ist eine weitere Aufgabe der Erfindung, ein verbessertes Verfahren zum Montieren von Chips in Flip-Chip-Technik-Prozessen zu schaffen, das die Größe der Kapselung der Chips reduzieren kann.

[0008] Diese Aufgaben werden erfindungsgemäß gelöst durch ein Verfahren, das die im Anspruch angegebenen Merkmale besitzt.

[0009] Weitere Merkmale und Vorteile der Erfindung werden deutlich beim Lesen der folgenden Beschreibung bevorzugter Ausführungsformen, die auf die beigefügten Zeichnungen Bezug nimmt; es zeigen:

[0010] Fig. 1 ein herkömmliches Verfahren zum Montieren eines Chips in Stapelscheibentechnologien; und

[0011] Fig. 2A, 2B, 2C, 2D und 2E ein verbessertes Verfahren zum Montieren von Chips in Flip-Chip- und Stapelscheiben-Techniken.

[0012] Die Fig. 2A, 2B, 2C, 2D und 2E zeigen ein verbessertes Verfahren zum Montieren von Chips in Flip-Chip-Techniken, mit einem Substrat 22, einer Unterfüllung 27, ei-

ner Primärscheibe 21, einem Klebstoff 28, einer Sekundärscheibe 23 mit derselben Größe wie die Primärscheibe 21, Golddrähten 24 und einem Vergußmittel 26. Wie gezeigt ist, umfaßt das verbesserte Verfahren zum Montieren von Chips in Flip-Chip-Techniken die Schritte:

1. Auftragen der Unterfüllung 27 auf das Substrat 22 (das mit darauf befindlichen Metalllötanschlüssen 221 versehen sein kann) (siehe Fig. 2a);
2. Umdrehen der Primärscheibe 21, so daß ihre Ansätze 211 dem Substrat 22 zugewandt sind, wobei die Primärscheibe 21 auf dem Substrat 22 plaziert wird und Druck und Wärme ausgeübt werden, um die Primärscheibe 21 mit dem Substrat 22 zu verbinden (siehe Fig. 2b);
3. Auftragen eines Klebstoffes 28 auf die Oberseite der Primärscheibe 21 und anschließendes Befestigen der Sekundärscheibe 23 auf der Primärscheibe 21 (siehe Fig. 2c);
4. elektrisches Verbinden des Aluminiumanschlußfeldes auf der Sekundärscheibe 23 mit dem (nicht gezeigten) Stift des Substrats 22 (siehe Fig. 2d); und
5. Kapseln der Primärscheibe 21, der Sekundärscheibe 23 und der Golddrähte 24 mit dem Vergußmittel 26 (siehe Fig. 2e).

[0013] Gemäß dem verbesserten Verfahren zur Montage von Chips in Flip-Chip-Technik-Prozessen ist nur eine Bond-Prozedur für die Kapselung der Halbleiterchips erforderlich, wodurch die Herstellungskosten gesenkt werden und die Größe des Gehäuses der Halbleiterchips reduziert wird und die Verzögerung bei der Signalübertragung verringert wird.

Patentansprüche

Verfahren zur Montage von Chips in Flip-Chip-Technik-Prozessen, **gekennzeichnet durch** die Schritte:

Auftragen einer Unterfüllung (27) auf ein Substrat (22);

Umdrehen einer Primärscheibe (21), so daß die Ansätze (211) der Primärscheibe (21) dem Substrat (22) zugewandt sind;

Plazieren der Primärscheibe (21) auf dem Substrat (22) und Ausüben von Druck und Wärme, um die Primärscheibe (21) mit dem Substrat (22) zu verbinden;

Auftragen eines Klebstoffes (28) auf eine Oberseite der Primärscheibe (21) und anschließendes Befestigen einer Sekundärscheibe (23) auf der Primärscheibe (21); elektrisches Verbinden der Sekundärscheibe (23) mit dem Substrat (22); und

Kapseln der Primärscheibe (21), der Sekundärscheibe (23) und der Golddrähte (24) mit einem Vergußmittel (26).

Hierzu 2 Seite(n) Zeichnungen

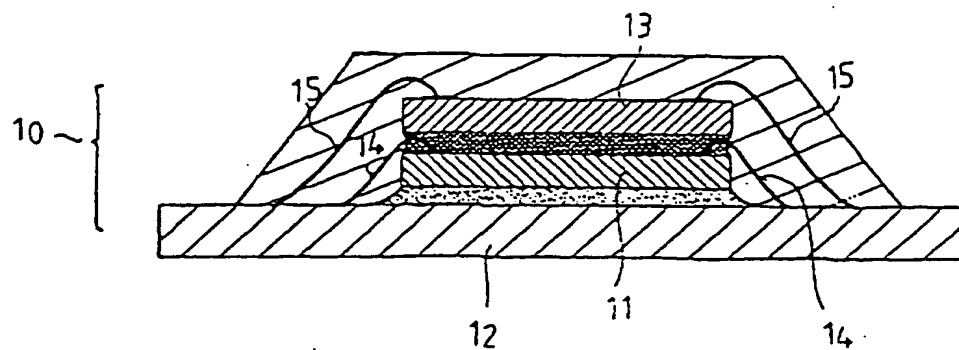


FIG. 1

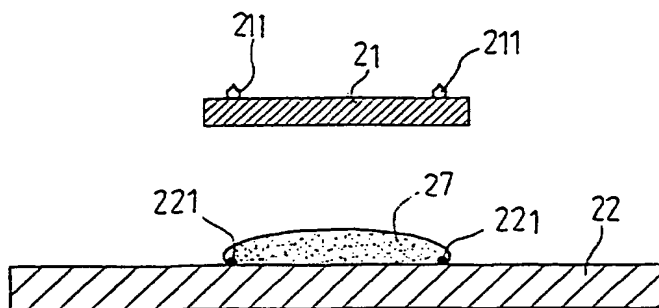


FIG. 2 A

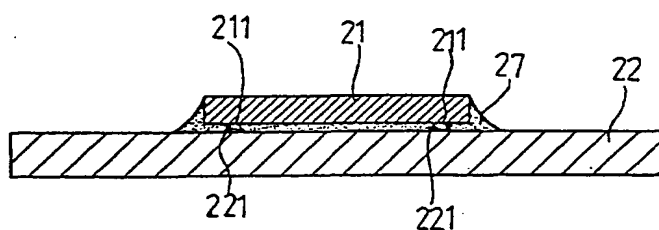


FIG. 2 B

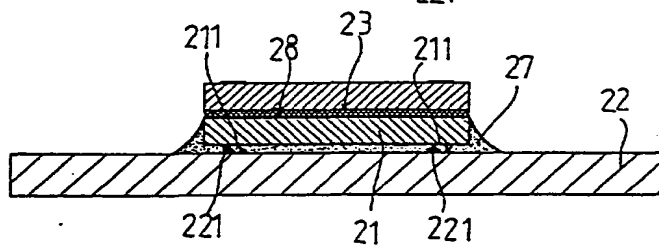


FIG. 2 C

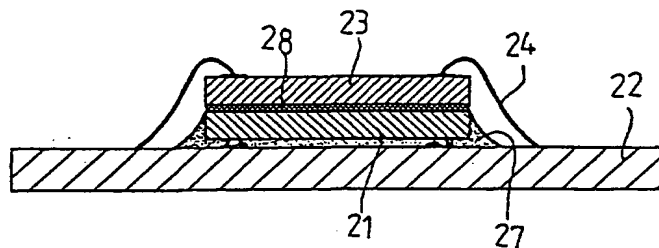


FIG. 2 D

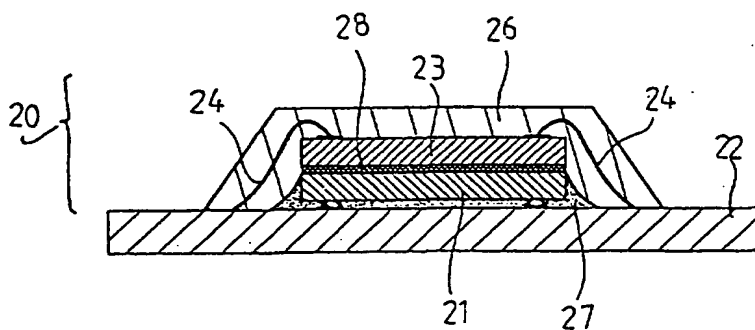


FIG. 2 E

Impr ved meth d f r mounting chips with pr tuberances in manufacturing process, f r us in micro l ctronics

Patent Number: DE10043450

Publication
date: 2002-03-14

Inventor(s): CHENG CHUANG YUNG (TW); MING CHANG CHUANG (TW); CHANG TU FENG (TW); CHIEH HU CHIA (TW); YU HUANG FU (TW); JUI CHANG HSUAN (TW); LE XIE WAN (TW); NING HUANG (TW); PIN CHEN HUI (TW); WEN CHIANG HUA (TW)

Applicant(s): ORIENT SEMICONDUCTOR ELECTRONI (TW)

Requested
Patent: DE10043450

Application
Number: DE20001043450 20000904

Priority Number
(s): DE20001043450 20000904

IPC
Classification: H01L21/60; H01L21/58; H01L21/56

EC
Classification: H01L25/065S, H01L21/56F, H01L23/31H2

Equivalents:

Abstract

The method comprises the following steps: the application of a lower filling (27) on a substrate (22); the turning over of a primary chip (21) so that protuberances face the substrate; the laying of the primary chip on the substrate and the application of pressure and heat to make contact of the chip with the substrate; the application of an adhesive layer (28) on the top of the primary chip and the fastening of the secondary chip (23) on the primary chip; connecting electrically the secondary chip to the substrate by use of wires; and encapsulating the primary chip, the secondary chip, and the wires (24) for gold in a molding compound (26).

Data supplied from the esp@cenet database - I2

TEL (824) 252-1100
HOLLYWOOD, FLORIDA 33035
P.O. BOX 543
LENNER AND GUTENBERG P.A.
APPLICANT:
SERIAL NO.:
INVENTOR:

DOCKET NO: MAS-FIN-406
SERIAL NO:
APPLICANT: R.C. Haggen et al P.A.
LERNER AND GREENBERG P.A.
P.O. BOX 2480 33022
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100